

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-076640

(43)Date of publication of application : 06.04.1988

(51)Int.Cl.

H04L 7/04

H04L 25/40

(21)Application number : 61-221657

(71)Applicant : NEC CORP

(22)Date of filing : 19.09.1986

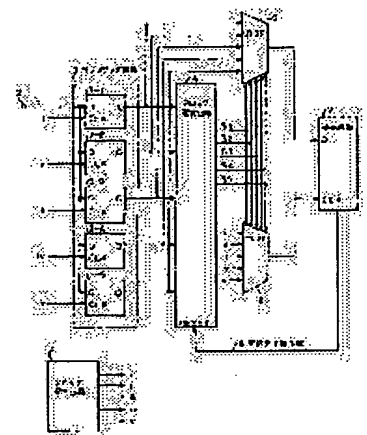
(72)Inventor : MURATA KOICHI

(54) START-STOP SYNCHRONIZING SIGNAL RECEIVING CIRCUIT

(57)Abstract:

PURPOSE: To constitute a circuit with an element having slow action speed by multipoint-sampling an input signal by the clock of the same speed as the input signal.

CONSTITUTION: A clock generating circuit 1 generates plural clocks with a different phase at the same speed as the transmission speed of a receiving signal and respective sampling circuits 3 sample the receiving signal in accordance with respective clocks from the clock generating circuit 1. Consequently, the receiving signal is multipoint-sampled by the clock of the same speed as the transmission speed of the receiving signal, and with one optimum clock selected by a clock selecting circuit 4 as the receiving clock, a receiving circuit 7 discriminates the output of the sampling circuits 3 of the optimum clock correspondence.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑬ Int. Cl.⁴H 04 L 7/04
25/40

識別記号

庁内整理番号

A-6745-5K
E-7345-5K

⑭ 公開 昭和63年(1988)4月6日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 調歩同期信号受信回路

⑯ 特 願 昭61-221657

⑰ 出 願 昭61(1986)9月19日

⑱ 発 明 者 村 田 幸 一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 境 廣 巳

明 細 書

1. 発明の名称

調歩同期信号受信回路

2. 特許請求の範囲

調歩同期方式により同期がとられる信号を受信する調歩同期信号受信回路に於いて、

前記信号の伝送速度と同じ速度で位相が異なる複数のクロックを発生するクロック発生回路と、

該クロック発生回路から出力される各クロックをそれぞれ入力とし、入力されたクロックにより前記信号をサンプリングする複数のサンプリング回路と、

該各サンプリング回路の出力に基づいて前記クロック発生回路から出力される複数のクロックの内の1つを選択するクロック選択回路と、

該クロック選択回路で選択されたクロックと同一のクロックが入力される前記サンプリング回路の出力を受信データ入力とし、前記クロック選択回路によって選択されたクロックを受信クロックとする受信回路を備えたことを特徴とする調歩同

期信号受信回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は調歩同期方式により同期がとられる信号を受信する調歩同期信号受信回路に関するものである。

(従来の技術)

従来の調歩同期信号受信回路としては、例えば信号の伝送速度の n 倍(n は整数)の速度を有するクロックにより受信信号を多点サンプリングするサンプリング回路と、サンプリング回路のサンプリング結果に基づいて最適な受信クロック(受信信号の各ビットのほぼ中央時点で発生し、且つ信号の伝送速度と同一の速度を有するクロック)を生成するクロック生成回路と、受信クロックによりビット情報を選択する受信回路とから構成されたものがある。

(発明が解決しようとする問題点)

しかし、上述した従来の調歩同期信号受信回路は、伝送速度の n 倍のクロックを必要とするため、

伝送速度の n 倍の速度で動作する素子により回路を構成しなければならず、伝送速度が高速になるにつれて、使用する素子の動作速度による制限が厳しくなる問題があった。

本発明は前述の如き問題点を解決したものであり、その目的は信号の伝送速度と同一の速度で動作する素子により従来の多点差方式と同等の性能を有する調歩同期信号受信回路を構成できるようにすることにある。

(問題点を解決するための手段)

本発明は前述の如き問題点を解決するため、調歩同期方式により同期がとられる信号を受信する調歩同期信号受信回路に於いて、

前記信号の伝送速度と同じ速度で位相が異なる複数のクロックを発生するクロック発生回路と、

該クロック発生回路から出力される各クロックをそれぞれ入力とし、入力されたクロックにより前記信号をサンプリングする複数のサンプリング回路と、

該各サンプリング回路の出力に基づいて前記ク

3

明する。

第1図は本発明の実施例のブロック図、第2図は第1図の動作説明図である。

クロック発生回路1は入力端子2に加えられる入力信号 a の伝送速度と同じ速度で位相の異なる1相から V 相までの5個のクロック $1 \sim V$ を発生するものであり、クロック発生回路1から出力されるクロックの内、最も位相の近いクロック間の位相差はクロックの1周期の $1/5$ になっている。サンプリング回路3を構成する5個のラッチ回路3-1 \sim 3-5のクロック端子CLKにはそれぞれクロック発生回路1からのクロック $1 \sim V$ が加えられており、各ラッチ回路3-1 \sim 3-5はクロック $1 \sim V$ の立上りに於いて、データ端子Dに加えられる入力信号 a をサンプリングする。

クロック選択回路4はサンプリング回路3の出力信号に基づいて選択信号 $s_1 \sim s_5$ を作成するものであり、選択信号 $s_1 \sim s_5$ はセレクト5、6に加えられる。セレクト5はクロック選択回路4からの選択信号 $s_1 \sim s_5$ に基づいてラッチ回

5

ロック発生回路から出力される複数のクロックの内の1つを選択するクロック選択回路と、

該クロック選択回路で選択されたクロックと同一のクロックが入力される前記サンプリング回路の出力を受信データ入力とし前記クロック選択回路によって選択されたクロックを受信クロック入力とする受信回路とを設けたものである。

(作用)

クロック発生回路は受信信号の伝送速度と同一の速度で位相が異なる複数のクロックを発生し、各サンプリング回路はクロック発生回路からの各クロックに従って受信信号をサンプリングする。従って、受信信号の伝送速度と同一の速度のクロックによって受信信号が多点サンプリングされ、クロック選択回路で選択された最適な1つのクロックを受信クロックとして受信回路はその最適なクロック対応のサンプリング回路の出力の識別を行なう。

(実施例)

次に本発明の実施例について図面を参照して説

4

路3-1 \sim 3-5の出力信号の内の1つを選択して受信回路7のデータ端子Dに加え、セレクト6は選択信号 $s_1 \sim s_5$ に基づいてクロック発生回路1からのクロック $1 \sim V$ の内の1つを選択して受信回路7のクロック端子CLKに加える。受信回路7はセレクト5を介して加えられる信号に含まれるビット情報をセレクト6を介して加えられるクロックに従って識別すると共に、1ワードの受信完了により受信完了指示線8を介してクロック選択回路4にリセット信号を加える。

今、例えば、第2図(a)に示す信号 a が入力端子2に加えられたとすると、サンプリング回路3を構成するラッチ回路3-1 \sim 3-5はそれぞれ同図(a) \sim (e)に示す1相 \sim V相のクロック $1 \sim V$ の立上りに於いて入力信号 a をサンプリングし、同図(a) \sim (e)に示す信号を出力する。サンプリング回路3の出力信号が加えられているクロック選択回路4は、受信完了指示線8を介してリセット信号が加えられることにより、その出力信号 $s_1 \sim s_5$ を全て"0"とし、また、リセット信号が加え

6

られた後、入力端子2にスタートビットSTが加えられ、サンプリング回路3を構成するラッチ回路3-1~3-5の出力信号の内のラッチ回路3-j(jは1から5までの整数)の出力信号が最初に"0"となった場合はリセット信号が再び加えられるまで選択信号s_jを"1"に保持し、他の選択信号は"0"に保持するものである。

従って、入力信号aと各クロックI~Vとが第2図(a)~(f)に示す関係にあるように、ラッチ回路3-1の出力信号が最初に"0"となる場合、クロック選択回路4は選択信号s₁を"1"とすることになる。セレクト5は選択信号s₁, s₂, s₃, s₄, s₅が"1"となることにより、ラッチ回路3-3, 3-4, 3-5, 3-1, 3-2の出力信号を選択して受信回路7に加えるものであり、セレクト6は選択信号s₁, s₂, s₃, s₄, s₅が"1"となることにより、それぞれⅢ相, IV相, V相, I相, II相のクロックⅢ, IV, V, I, IIを選択して受信回路7に加えるものであり、従って、選択信号s₃が"1"となること

7

受信回路7から加えられるリセット信号によりリセットされるものであり、各フリップフロップPF1~PF5の出力信号s₁~s₅はインヒビットゲートG1~G5の禁止入力になっている。従って、受信完了指示線8を介してリセット信号が加えられた後、サンプリング回路3を構成するラッチ回路3-1~3-5の出力信号の内、ラッチ回路3-jの出力信号が最初に"0"となったとするとフリップフロップPFjの出力信号s_jは再びリセット信号が加えられるまで"1"に保持されることになる。尚、クロック選択回路4は上述した例に限定されず、サンプリング回路3の出力値に基づいて調歩同期信号の受信に最適な1つのクロックを選択し得るものであれば、他の構成にしても良いことは勿論である。

〔発明の効果〕

以上説明したように、本発明は、入力信号の伝送速度と同じ速度で位相の異なる複数のクロックを発生するクロック発生回路と、クロック発生回路から出力される各クロック対応に設けられた複

により、受信回路7のクロック端子CLKにはⅢ相のクロックⅢが加えられ、データ端子DにはⅢ相のクロックⅢによってサンプリングされたラッチ回路3-3の出力信号が入力されることになる。受信回路7はクロック端子CLKに加えられるⅢ相のクロックⅢが立下がる毎にデータ端子Dに加えられる信号に含まれるビット情報を識別し、そしてストップビットSPを検出することにより、受信完了指示線8を介してクロック選択回路4にリセット信号を加える。従って、受信信号の各ビットのほぼ中央でビット情報を識別することができる。

第3図はクロック選択回路4の構成例を示す回路図であり、ラッチ回路3-1~3-5の出力信号を反転するインバータIN1~IN5と、インヒビットゲートG1~G5と、フリップフロップPF1~PF5とから構成されている。

フリップフロップPF1~PF5はそれぞれインヒビットゲートG1~G5の出力信号の立上がり時に於いてセットされ、受信完了指示線8を介して受

8

複数のサンプリング回路と、サンプリング回路の出力に基づいてクロック発生回路から出力されるクロックの内の1つを選択するクロック選択回路と、クロック選択回路で選択されたクロックを受信クロックとしてそのクロックと対応するサンプリング回路の出力信号を識別する受信回路とを備えたものであり、入力信号と同一の速度のクロックによって、入力信号を多点サンプリングすることが可能となるので、従来の調歩同期信号受信回路に比較して動作速度の遅い素子を使用して回路を構成することができ、素子の動作速度による制限を緩やかなものとすることができる効果がある。

4. 図面の簡単な説明

第1図は本発明の実施例のブロック図、

第2図は第1図の動作説明図及び、

第3図はクロック選択回路4の構成例を示す回路図である。

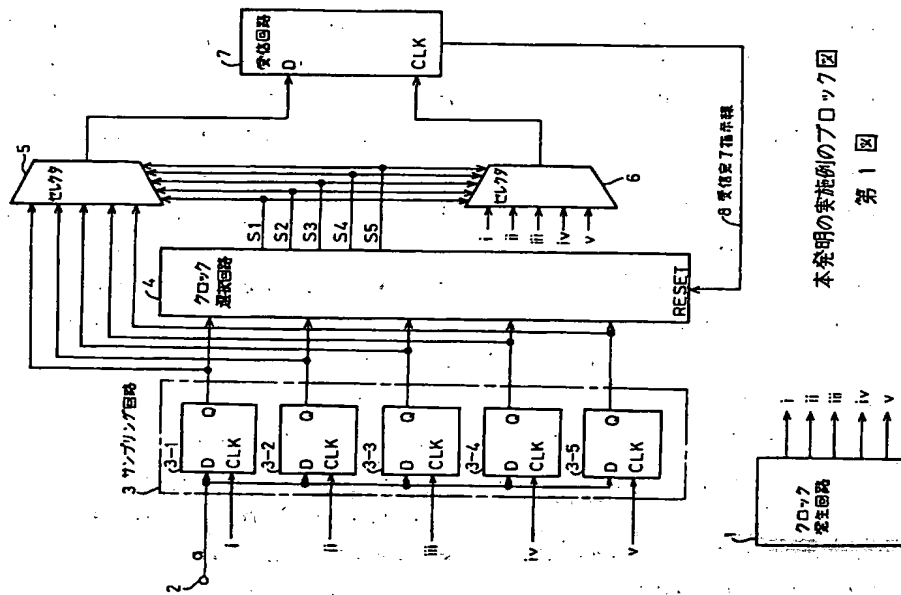
1…クロック発生回路、2…入力端子、3…サンプリング回路、3-1~3-5…ラッチ回路、4…クロック選択回路、5, 6…セレクト、7…

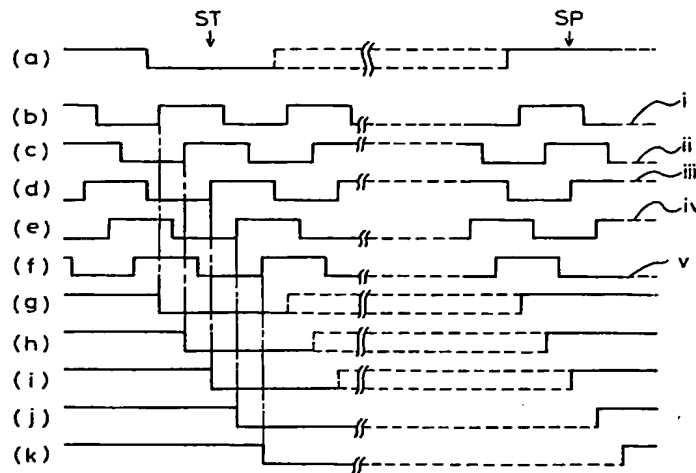
受信回路、8…受信完了指示線、IN1～IN5
…インバータ、G1～G5…インヒビットゲート、
FF1～FF5…フリップフロップ。

特許出願人 日本電気株式会社

代理人 弁理士 境 廣 巳

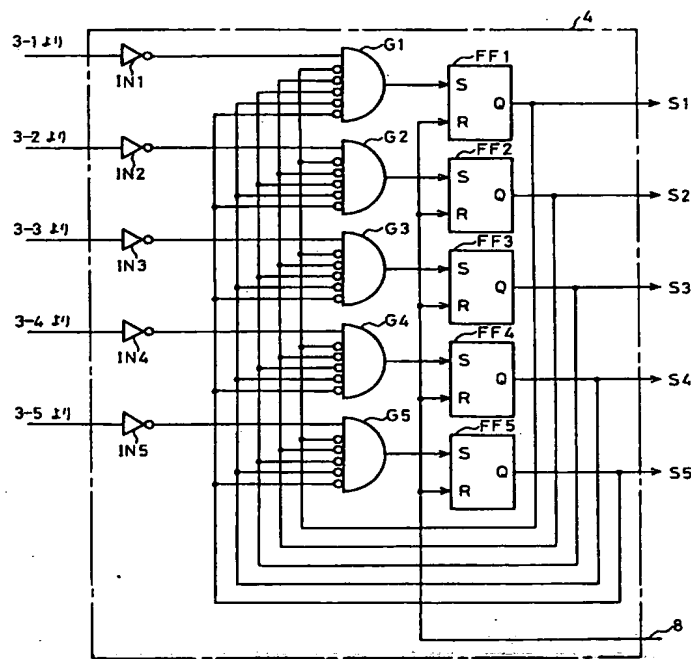
11





第1図の動作説明図

第2図



クロック選択回路4の構成例を示す回路図

第3図